

UNIVERSITATEA TEHNICĂ "GHEORGHE ASACHI" DIN IAȘI

Facultatea: ELECTRONICĂ TELECOMUNICAȚII ȘI TEHNOLOGIA INFORMATIEI

Domeniul: inginerie electronica si telecomunicatii

Specializarea: Microelectronica Optoelectronica si Nanotehnologii

Forma de învățământ: zi Anul de studii: 4 Anul universitar: 2009-2010

P R O G R A M A A N A L I T I C Ă

a disciplinei: **Algoritmi si Structuri Paralele de Calcul**

1. Titularul disciplinei: prof. dr. ing. Victor GRIGORAS

2. Tipul disciplinei: DS, DI **codul:** DIS401M

3. Structura disciplinei:

Semestrul	Numărul de ore pe săptămână				Forma de evaluare finală	Numărul de ore pe semestru				
	C	S	L	P		C	S	L	P	Total
7	2	-	2	-	E	28	-	28	-	56

4. Obiectivele cursului:

Disciplina de „Algoritmi si Structuri Paralele de Calcul urmarește introducerea unor noțiuni legate de implementarea sistemelor numerice cu grad inalt de parallelism si granularitate redusa. Se trateaza incepand cu nivelul arhitectural pana la nivel de bit implementari ale blocurilor functionale intr-un sistem numeric de prelucrare de semnal, punandu-se accent pe diferentele fata de acestea si cele de uz general. Deasemenea, sunt discutate implementari paralele si sistolice (seriale) ale elementelor de sistem (multiplicatoare, sumatoare) lucrând in virgula fixa.

5. Concordanța între obiectivele disciplinei și obiectivele planul de învățământ:

Disciplina este una de specialitate, avand nevoie pentru buna desfasurare de cunostinte de teoria sistemelor, procesare numerica de semnal, circuite integrate digitale, programare in C/C++, VLSI digital. Scopul ei este de a pune in evidenta si a exemplifica practic topologii pentru sistemele digitale de uz general si cele dedicate, si de a trasa granita (dinamica) ce desparte cele doua tipuri de sisteme.

6. Rezultatele învățării exprimate în competențe cognitive, tehnice sau profesionale

Studentii capata competente in modelare HW a sistemelor digitale (de uz general sau dedicate), pe principiul paralel, serial si mixt. De asemenea, in urma cursului se dezvoltă aptitudini in vederea verificării cu o acoperire cat mai mare a functionalitatii circuitului proiectat.

7. Proceduri folosite la predarea disciplinei:

Mod de predare: expunerea teoretică, exemple și aplicații.

Susținere laborator: calcul de proiectare și analiză urmat de simulări experimentale, bazate pe suport scris de laborator.

Nivelul de predare, atat teoretic cat si aplicativ se adapteaza la nivelul de pregatire a studentilor.

8. Sistemul de evaluare:

Evaluarea continuă:

Activitatea la seminar / laborator / proiect / practică

Ponderea în nota finală: ___%

Testele pe parcurs T

Ponderea în nota finală: ___%

Lucrări de specialitate

Ponderea în nota finală: 20% (proiect-tema de casa)

Evaluarea finală: examen T

Ponderea în nota finală: 80%

Proba: Teza cu 3 subiecte: 2 probleme si 1 subiect teoretic, cu subpuncte, fara acces la documentatie.

9. Conținutul disciplinei:

a) Curs

Cap. 1. Paralelism si sincronizare

1.1. Arhitectura paralela. Definitie, schema, timpi si complexitate

1.2 Arhitectura sistolica. Definitie, schema, timpi si complexitate

Cap 2. Arhitecturi multiprocesor

2.1. Clasificarea sistemelor multiprocesor

2.2. Comunicatia in arhitecturile multiprocesor.

2.3. Arhitectura pentru sisteme de uz general

2.4. Arhitectura Harvard pentru DSP

2.4. Comparatie intre arhitecturile prezentate

Cap. 3. Implementarea paralela si sistolica a sistemelor de prelucrare de semnal

4.1. Arhitecturi sistolice si semisistolice pentru filtre FIR

4.2. Arhitecturi sistolice si semisistolice pentru filtre IIR

4.3. Implementari globale. Implementarea cascada si paralel. Exemple de diagonalizare (paralelizare a filtrelor IIR)

4.4. Arhitecturi paralele pentru calculul transformatelor ortogonale (2h)

Cap. 4 Notiuni de aritmetica binara

5.1. Generalitati, exemple

5.2. Cod complementar fata de 2. Proprietati, depasire de format

Cap. 5 Implementarea blocurilor de calcul numeric

6.1. Blocuri elementare. Elemente de sistem

6.2. Structuri de elemente cu memorie

6.3. Structuri de implementare a elementelor neliniare

6.4. Structuri de implementare a multiplicatoarelor in virgula fixa (seriale si paralele)

Cap. 6 Multiplicatoare rapide

7.1. Multiplicatoare Braun

7.2. Multiplicatoare Baugh-Wooley

7.3. Multiplicatoare Wallace tree

7.4. Multiplicatoare Dada

Cap. 7 Limitari impuse de reprezentarea finita a numerelor si compensarea lor in sistemele paralele si sistolice

- 8.1. Modelul neliniaritatii de granularitate
- 8.2. Modelul neliniaritatii de depasire de format
- 8.3. Tehnici de reducere a efectelor neliniaritatii de granularitate si a depasirii de format in sistemele numerice de prelucrare de semnal, paralele si sistolice
- 8.4. Influenta cuantizarii coeficientilor filtrelor asupra pozitiei polilor si zerourilor

Total ore curs – 28

b) Aplicații

Sedințele de laborator (2h/sedință):

1. Implementarea paralela si seriala a mediei ponderate a N numere, precum si calculul valorii unui polinom intr-un punct, in Simulink.
2. Verilog – sedinta introductiva, numarator cu reset sincron si asincron si testbench pentru testare.
3. Proiectarea unei memori asincrone si a uneia sincrone si testarea functionarii in Verilog.
4. Implementarea sistemului: Procesor (TB), Controller de memorie si a unei memorii cu tranzactie de scriere si citire a aceleasi locatii de memorie .
5. Sistem paralel cu doua procesoare, arbitru Round-Robin si acces partajat la datele interne ale memoriei (mecanismul de semafor).
6. Implementarea sistolica a filtrelor FIR in Matlab/Simulink.
7. Implementarea sistolica a filtrelor IIR in Matlab/Simulink.
8. Implementarea sumatoarelor bit-seriale in Simulink (cu transport serial/cu transport anticipat)
9. Multiplicator bit-serial functionand in virgula fixa.
10. Filtru FIR bit-serial.
11. Multiplicatorul Baugh-Wooley, Braun, Wallace trees.
12. Arhitecturi paralele pentru calculul transformatelor ortogonale.
13. Efectele reprezentarii finite a numerelor in sistemele digitale cu compensare in sistemele paralele/seriale
14. Prezentarea temei de casa.

Total ore aplicații – 28

10. Bibliografie selectivă

1. D. A. Patterson, J.L. Hennessy – Computer Architecture and Design, third edition, Elsevier
2. AMD64 Architecture Programmer's Manual Vol 2 'System Programming': http://www.amd.com/us-en/assets/content_type/white_papers_and_tech_docs/24593.pdf
3. V. Grigoraș, D. Tarniceriu, Prelucrarea numerică a semnalelor - Partea I - Semnale și sisteme discrete, Iași, Editura "Gh. Asachi", 1995 (ISBN 973-9178-28-6).
4. Tiberiu-Dinu Teodorescu, ASPC, suport de curs, carte electronica: <http://scs.etc.tuiasi.ro/t-teodor>

Semnături:

Data: 29.09.2007

Titular curs:

prof. dr. ing. Victor Grigoras

Titular(i) aplicații:

asist. drd. ing. Paul Ungureanu